

## PHASE DEMODULATOR

Patent Number: JP5048663  
Publication date: 1993-02-26  
Inventor(s): TOMITA HIDEHO  
Applicant(s): NEC CORP  
Requested Patent: ☐ JP5048663  
Application Number: JP19910168596 19910710  
Priority Number(s):  
IPC Classification: H04L27/22  
EC Classification:  
Equivalents: JP2841935B2

---

### Abstract

---

**PURPOSE:** To directly demodulate a carrier PSK signal PSK-modulated by a digital signal without using an analog circuit.

**CONSTITUTION:** A Baud timing signal (c) is converted into a synchronous Baud timing signal (d) synchronizing the first rising of the PSK signal (a) converted into a logical level in a zero-cross detecting equipment 1 by a sampler 2 in the demodulating circuit of a delay detection system. In the meantime, a ring oscillator 3 generates an output (e) in N taps where the phase of a frequency being the same as the carrier frequency of the PSK signal (a) is equally divided into N parts. The outputs (e) are latched by the synchronous Baud timing signal (d) in a latch 4. A point where the logical level of the mutually adjacent latch outputs (e) changes becomes phase information of the digital signal. Phase information is encoded in an encoder 5 so as to generate a demodulating output (g). The demodulating circuit of a synchronous detection system subtracts the offset phase being the output of a synchronous phase defining circuit from phase information so as to define the reference phase of the PSK signal (a).

---

Data supplied from the esp@cenet database - I2

使用禁止願ひます

(10) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許公開番号  
特開平5-48663

(43) 公開日 平成5年(1993)2月26日

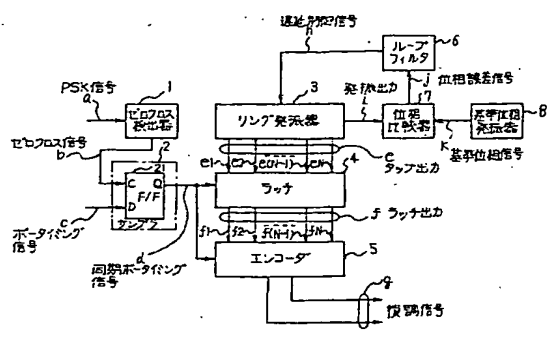
(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/22	G	9297-5K		
	J	9297-5K		

(21) 出願番号	特開平3-108596	(71) 出願人	000004237
(22) 出願日	平成3年(1991)7月10日	日本電気株式会社	
(31) 優先権主張番号	特開平2-191968	東京都港区芝五丁目7番1号日本電気株式会社	
(32) 優先日	平2(1990)7月20日	富田 秀徳	
(33) 優先権主張国	日本 (J P)	東京都港区芝五丁目7番1号日本電気株式会社内	
		(72) 発明者	
		(74) 代理人	弁理士 内藤 哲

審査請求 未請求 請求項の数20(全 9 頁)

(54) 発明の名称 位相復調器

(57) 要約  
【目的】 デジタル信号により P S K 変調された搬送波 P S K 波信号をアナログ回路を用いることなく直接復調する。  
【構成】 遅延線方式の復調回路では、サンプリングによってポートタイミング信号 c は、ゼロクロス検出器 1 で論理レベルに変換された P S K 信号 a の最初の立ち上りに同期した同期ポートタイミング信号 d に変換される。一方、リニア発振器 3 は、P S K 信号 a の搬送波周波数と同じ周波数の位相が N 等分された N 個のタツプに出力 e を生ずる。出力 e は、ラッチ 4 により同期ポートタイミング信号 d でラッチされる。相関ラッチ出力 e の論理レベルが変化する点が上記デジタル信号の位相情報となる。位相情報はエンコーダ 5 でエンコードされて復調出力 b を形成する。同期線方式の復調回路では、上記位相情報から同期位相検出回路の出力であるオフセット位相を減算して P S K 信号 a の基座位相を決定する。



【特許請求の範囲】  
【請求項 1】 伝送路を経て伝送されてきた P S K 信号からこの P S K 信号の振幅が基座位相を交差するゼロクロス点を検出し、ゼロクロス点検出信号を生ずるゼロクロス検出手段と、  
ポートタイミング信号を前記ゼロクロス信号とともに入力を受けて前記ゼロクロス点検出信号と同期した同期ポートタイミング信号を生ずるサンプリング手段と、  
リニア状に接続され制御信号に応じて変化する遅延時間を与える N (N は自然数) 個の遅延素子を含み、互いに相関する 2 つの出力端の間の位相差  $2\pi/N$  のタツプ出力および前記 P S K 信号の搬送波周波数にほぼ等しい搬送波周波数を有するリニア発振器と、  
前記 N 個のタツプ出力の各々を前記同期ポートタイミング信号の論理レベル変化点においてラッチし、前記タツプ出力の各々に対応したラッチ出力を生ずるラッチ手段と、  
前記 N 個のラッチ出力から、順に配列され且つ互いに相関するラッチ出力間で論理レベルの変化する論理レベル変化点をポーリ期間ごとに検出し、それら前記論理レベル変化点情報をコード化するエンコーダを含むことを特徴とする遅延線方式の位相復調器。  
【請求項 2】 前記 P S K 信号の搬送波周波数のほぼ M (M は 1 も含む自然数) 倍の周波数の基座位相信号を生ずる基座位相発振器と、  
前記リニア発振器の遅延素子の一つの出力端からの搬送出力と前記基座位相信号との位相差に依存して位相逆信号を生ずる位相比較器手段と、  
前記位相逆信号を平滑化して遅延制御信号とするローパスフィルタとをさらに含み、  
前記リニア発振器の搬送波周波数を前記遅延制御信号により前記基座位相信号の周波数に一致させることを特徴とする請求項 1 記載の位相復調器。  
【請求項 3】 前記ゼロクロス点検出信号は、前記 P S K 信号の振幅が正または負のいずれか一方である期間は一一定幅幅を持ち、他方である期間にゼロとなることを特徴とする請求項 1 記載の位相復調器。  
【請求項 4】 前記サンプリング手段がクロック信号として前記ゼロクロス点検出信号、データ入力として前記ポートタイミング信号を受け、データ出力として前記同期ポートタイミング信号を生ずるリニアラッチ回路を含むことを特徴とする請求項 1 記載の位相復調器。  
【請求項 5】 前記リニア発振器手段がリニア状に接続された奇数個のインバータを含み、それらインバータの各々の出力端から前記タツプ出力を供給することを特徴とする請求項 1 記載の位相復調器。  
【請求項 6】 前記リニア発振器がリニア状に接続された奇数個のインバータを含み、且つ前記インバータの各々の出力端から前記タツプ出力を供給することを特徴とする請求項 2 記載の位相復調器。  
【請求項 7】 前記インバータの各々の電圧端子が前記遅延制御信号の入力端子を兼ねることを特徴とする請求項 6 記載の位相復調器。  
【請求項 8】 前記ラッチ手段は、クロック信号として同期ポートタイミング信号を受け、前記データ入力として前記タツプ出力の 1 つを受け、データ出力として前記ラッチ手段の各々の出力を生ずる N 個のフリックラッチ回路を含むことを特徴とする請求項 1 記載の位相復調器。  
【請求項 9】 前記エンコーダが、前記ポーリ期間ごとに前記論理レベル変化点を検出し、その検出結果をデジタル信号に変換して出力する手段と、  
第 1 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記デジタル信号を減算する減算器と、  
前記減算器の出力の位相情報値を判定する判定器とを含むことを特徴とする請求項 1 記載の位相復調器。  
【請求項 10】 前記エンコーダは、前記ポーリ期間ごとに前記論理レベル変化点を検出し、それら論理レベル変化点が変化する位相情報をデジタル信号に変換して出力する手段と、  
前記第 1 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記デジタル信号を減算する減算器と、  
前記減算器の出力の位相情報値を判定する判定器とを含むことを特徴とする請求項 1 記載の位相復調器。  
【請求項 11】 伝送路を経て伝送されてきた P S K 信号からこの P S K 信号の振幅が基座位相を交差するゼロクロス点を検出し、ゼロクロス点検出信号を生ずるゼロクロス検出手段と、  
ポートタイミング信号を前記ゼロクロス信号とともに入力を受けて前記ゼロクロス点検出信号と同期した同期ポートタイミング信号を生ずるサンプリング手段と、  
リニア状に接続され制御信号に応じて変化する遅延時間を与える N (N は自然数) 個の遅延素子を含み、互いに相関する 2 つの出力端の間の位相差  $2\pi/N$  のタツプ出力および前記 P S K 信号の搬送波周波数にほぼ等しい搬送波周波数を有するリニア発振器と、  
前記 N 個のタツプ出力の各々を前記同期ポートタイミング信号の論理レベル変化点においてラッチし、前記タツプ出力の各々に対応したラッチ出力を生ずるラッチ手段と、  
前記ポーリ期間ごとに前記論理レベル変化点を検出し、前記論理レベル変化点が変化する位相情報をデジタル信号に変換して出力する手段と、  
第 1 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記

フリップフロップ等のエッジトリガ動作を行うフリップフロップ、即ちクロック端子にゼロクロス信号bを受け、データ端子にポータイミング信号cを受け、出力端子から同期ポータイミング信号dを出力するフリップフロップ(D/F) 21で構成できる。

〔0014〕同期ポータタイミング信号dは、ほぼ同一特性を有するN個の遅延素子をリング状に接続して形成したリング発振器3のタップ出力e、即ちe1、e2、

...,  $e(N-1)$ ,  $e(N)$ とともに、ラッチ4に供給される。リング発振器3のいずれかの遅延素子の出力端から得られるリング発振出力1, これはいずれかのタップ出力1カ/eでもあるが、その発振周波数  $f_1 = 1/N \times 1/d$  で改ざ遅延時間を  $td$  とするとき、リング発振器3の互いに異なるタップ出力1/e, 例ええばタップ出力1/e2は、 $2\pi/N$ の位相差を、持つ。図2では  $N=8$  としてタップ出力1/e1, e2, ...,

e6およびe7を示しているので、タップe1とe2の間、及びタップe6とe7の間は、それぞれ $\pi/4$ の位相差がある。リング発振器3の各遅延素子は、遅延制御信号hにより制御されて伝搬遅延時間dを変化させ、それによってリング発振器3の発振周波数f1を変化させる。リング発振器3の発振周波数f1は、後述の方法によってPSK信号aの搬送波周波数fmとほぼ等しくされる。

【0015】基準位相発振器8は、発振周波数f0の基準位相信号kを発生する。発振周波数f0は、PSK信号aの復調精度をあげるために、PSK信号aの搬送波周波数fmのN倍にできるだけ近い周波数に設定する。基準位相信号kとリング発振出力iとの供給を受ける位相比較器7は、両者の位相を比較し、位相調整信号jを出力する。位相比較器7としては、基準位相信号kと発振信号iの位相が随機的に異なる場合に最大値の位相調整信号jを出力する位相一周波数検出型の位相比較器(Phase Frequency Detector)が最も適している。位相調整信号jは、ループフィルタ6により平滑化され、遅延時間遅信号hとしてリング発振器3に供給され、これらリング発振器3、位相比較器7およびループフィルタ6は位相同期ループを形成し、リング発振器3の発振周波数f1は、基準位相信号kに位相同期する。

【0016】ラッチ4は、リング発振器3のタップ出力  
 $e(e1, e2, \dots, e(N-1), eN)$  をそれぞれ  
 同相ボタミミング信号dのリーディングエッジ（後述  
 の図の時刻t1およびt4）でラッチし、それぞれの  
 タップ出力eに対応するラッチ出力f（f1, f2,  
 $\dots, f(N-1), fN$ ）を出力する。図2を参照する  
 と、第1のボー期間である時刻t1におけるラッチ出力  
 f1、ラッチ出力f2が論理レベル“0”である。一  
 方、第1のボー期間に続く第2のボー期間である時刻t

4) におけるラッチ出力 f は、ラッチ出力 f 6 が論理レベル "1"、ラッチ出力 f 1、f 2、f 7 が論理レベル "0" である。図 2 においては、第 1 のポー期間ではラッチ出力 f 1 と f 2 の間で論理レベルが "1" から "0" に変化しており、第 2 のポー期間ではラッチ出力 f 6 と f 7 の間で論理レベルが "1" から "0" に変化している。ラッチ出力 f 6 の論理レベルが "1" から "0" に変化する点は、同一ポー期間で 1 箇所だけである。ここで、ラッチ出力 f は、PSK 信号 a のゼロクロッシング点を基準とする同相ボウティング信号 d によりラッチされた信号であり、一方、 $2\pi/N$  の位相差を有するタタタラツタラツ出力 e をラッチしたものである。従って、ラッチ出力 f が収束論理レベル変化情報は、当該ポー期間における PSK 信号 a の位相を  $2\pi/N$  の細かさで示す。従って、ラッチ出力 f 1 と f 6 を第 1 のポー期間における位相情報、ラッチ出力 f 1 と f 7 を第 2 のポー期間における位相情報とすることができる。図 2 においては、ラッチ出力 f 1 と f 6 の間には、 $5\pi/4$  の位相ずれ（あるいは  $3\pi/4$  の位相進み）がある。即ち、PSK 信号 a において、第 1 のポー期間と第 2 のポー期間との間には、 $3\pi/4$  の位相進みがある。

【0017】ラッチ出力  $f$  を入力に受けるエンコーダ 5 は、まず第 1 のポー期間におけるラッチ出力  $f$  1、 $f$  2 の位相情報と、次に第 2 のポー期間における P S K 信号  $a$  の位相を決定し、次いで第 1 のポー期間における P S K 信号  $a$  の位相をラッチ出力  $f$  6 と  $f$  1 から決定し、次に第 1 および第 2 のポー期間の P S K 信号  $a$  の位相差を計算する。さらに、エンコーダ 5 は、各ポー期間における位相差データに基づいて、1 ポーごとに P S K 信号  $a$  の変動位相を決定し、復調信号  $g$  として出力する。P S K 信号  $a$  が Q P S K 変調された信号であれば、復調信号  $g$  は 2 ビットのディジタル信号となる。

【0018】なお、図1の実施例では、ゼロクロス信号番号bのリーディングエッジをPSK信号aのゼロクロス点としているが、トレイリングエッジを代りにゼロクロス点とすることもできる。また、タクト出力eの遅れをある程度Nを大きくすることで、PSK信号aの位相調整の能力を増加させることができるが、位相調整器全体の消費電力が増加する。従ってNは、位相調整に伴う全面の消費電力の許容値との兼ね合いで適切に設定される。

【0019】サンプラ2に供給されるポータタイミング信号cをPSK信号aから抽出するポータタイミング信号抽出回路は、例えば、U. S. Patent No. 4, 680, 553に述べられて、ポータタイミング信号抽出回路は、対数増幅器および帯域域の帯域通過器を主として構成でき、

【0020】図3のプロック図3を参照すると、図1の実施例に含まれるリンパータ31 (Nは奇数) 側の同一特性のインパータ31 (31Aないし31N) をリンパータ31と接続して構成されている。各インパータ31を

それぞれの出力端子からは、タップ出力 $e_1$ ,  $e_2$ , ...,  $e_{(N-1)}$ ,  $e_N$ が出力される。また、インバータ33の1つ（図ではインバータ31N）からは、リレー発生出力1（組はインバータ31N）からの、入力の“0”から“1”への立ち上りに応答して出力が“1”から“0”となるまでの所定遅延時間 $t_d$ とし、入力側の“1”から“0”への立ち下りに応答して出力が“0”から“1”となるまでの所定遅延時間 $t_r$ とする。と、 $t_d + t_r + t_f$ に等しい伝搬遅延時間 $t_{d+r}$ を有すると、リレー発生器33の発振周波数 $f$ は、 $f = 1/(t_d + t_r)$ となる。ここで、インバータ31がCMOSで構成されている場合には、インバータ31の伝搬遅延時間 $t_d$ は現在5nS程度が実現しているので、 $N \leq 32$ とすると、リレー発生器33の発振周波数 $f$ の上限は60MHz程度となる。従って、入力PSK信号 $a$ の搬送波周波数 $f_m$ の上限も60MHz程度となり、この搬送波例による位相復調器の入振数上限はカウンタを比較位相発生器とする位相復調器より相当緩和される。なお、各インバータ31の遅延制御端子にはそれぞれ遅延制御電圧 $v_d$ が入力され、インバータ31の各々の伝搬遅延時間 $t_d$ を制御する。各インバータ31の電源端子を共通制御端子として使うことができる。

【0.021】図4のプロット図を参照すると、図1に名  
 まれるラッチ4はN個のDフリップフロップ(F/F)  
 41(41Aないし41N)を含む、F/F41それぞれ  
 れのデータ端子には、対応するタップ出力(e1ない  
 しeN)が加えられる。すべてのF/F41のクロック  
 端子には、同期ボースタイング信号dが加えられる。F  
 /F41の出力端子からは、タップ出力eが同期ボータ  
 イミング信号dのリーディングエッジと同時にラッチ  
 されたラッチ出力f(f1ないしfN)が出力される。

(0 0 2 2) 図5のブロック図を参照すると、図1の実施例に含まれるエンコーダ5は、ラッチ出力f (f 1ないしf N) を入力側の演出ゲート5 1に受ける。演出ゲート5 1は、出力位相の順に並べられたタップ出力eに、対応したラッチ出力fをその順に受け、相隣する2つのラッチ出力fの論理レベル“1”、“0”の演出を行う。即ち、演出ゲート5 1は、第1の順位のラッチ出力fをA、次に順位のラッチ出力fをBとし、Aが“1”、かつBが“0”のときの演出ゲート出力fを“1”とする。演出ゲート5 1は、論理レベル“1”、“0”の演出を、全てのラッチ出力fの組み合わせN組について行い、N回の演出ゲート出力f (1ないし1 N) を出力する。この結果、演出ゲート5 1は、ラッチ出力fの論理レベル変化点、言い換えればPSK信号aの時刻t 1における位相情報を受取る演出ゲート出力fの論理レベル“1”によって出力する。この論理レベル変化点tは、図2の時刻t 1においてはラッチ出力f 1とf 2の間である。

【0023】N個バラレルの輸出ゲートの出力は、ブ

ライオリティ・エンコーダ52に並列に与えられる。ライオリティ・エンコーダ52は、優先順位の付けられるN個の出力端子に抽出ゲート出力1を受け、論理レベル「0」の検出ゲート出力1を受けた入力端子を輸出する。優先順位は、N個の検出ゲート出力1のどれを始点としてついても差支えないが、検出ゲート出力1のならば、優先順位を決定する必要がある。プライオリティ・エンコーダ52は、論理レベル「1」が入力されている端子のうち優先順位の低い端子を選択し、この端子の端子番号mをパラレルのデジタル信号に符号化して出力する。Nが8の場合は、端子番号信号mlは3ビットのパラレル信号となる。端子番号信号mlは、P S K信号 a を位相相反した出力信号である。端子番号信号mlは6分岐されて、一方はラッチ53に、他方は補数回路54に出力される。

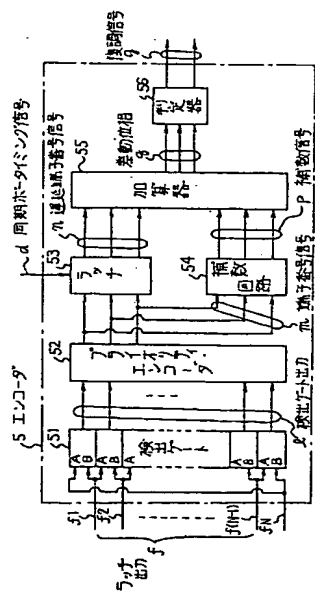
【0024】プライオリティ・エンコード52の出力に得られた端子番号mは、同期ボータイミグ信号dによってラッチ53でラッチされ、1ポート間だけ延滞した遅延端子番号nとなる。この遅延端子番号nは、補数回路54で端子番号mの補数に変換され、補数信号pとなる。

【0025】送端子番号信号nと縮減信号pとは加算器55において加算され、1ポ一期間先行するPSK信号aの位相情報である送端子番号信号nと現在のポ一期間のPSK信号aの位相情報である端子番号信号mとの差が算出され、送動位相qが加算器55の出力から得られる。送動位相qは、判定器56に入力され送動位相領域から決定される。決定された送動位相領域が、PSK信号aの送速値出力決定である。

【0026】図6のブロック図を参照すると、本発明のもう一つの実施例、即ち同期検波方式のPSK信号の位相変調器は、図1の実施例の位相変調器のゼロクロス検出器1、サンプリングラ2、比較器3、ラッチ4、ループフィルタ5、位相比較器7および圧縮増幅器8に加え、エンコーダ11、減算回路12、判定回路13、正しい倍回路14、ループフィルタ15および数値制御増幅器(NCO)16を含んでいる。位相変調器は、PSK信号aとボータイミング信号cの供給を受け、図1の位相変調器と同様の信号処理を行って、ラッチ4からラッチ5も出力(e1ないしeN)を出力する。リング変調器3も基方位相変調器8に同期されている。なお、図1の実施例の回路への追加の構成要素として図6の実施例に含まれる構成要素はすべて信号をデジタル処理するので、その点に言及する以外説明は省略する。

【0027】ラッチ4に接続されたエンコーダ11は、図5に示されている出力ゲート51とブライオリティ・エンコーダ52との機能を併せて備えている。即ち、エンコーダ11は、ラッチ出力fの供給を受け、リング変調器3のタッピング出力e(e1ないしeN)それぞれの出力位相に対応した端子番号信号mを出力する。

(図5)



(図6)

